

PATENT COOPERATION TREATY

From the INTERNATIONAL BUREAU

PCT

NOTIFICATION OF ELECTION  
(PCT Rule 61.2)

Date of mailing:

11 May 2000 (11.05.00)

To:

Assistant Commissioner for Patents  
United States Patent and Trademark  
Office  
Box PCT  
Washington, D.C.20231  
ETATS-UNIS D'AMERIQUE

in its capacity as elected Office

International application No.:

PCT/JP99/05848

Applicant's or agent's file reference:

219800594971

International filing date:

22 October 1999 (22.10.99)

Priority date:

29 October 1998 (29.10.98)

Applicant:

ISHIHARA, Shosaku et al

1. The designated Office is hereby notified of its election made:

in the demand filed with the International preliminary Examining Authority on:

24 November 1999 (24.11.99)

in a notice effecting later election filed with the International Bureau on:

2. The election  was

was not

made before the expiration of 19 months from the priority date or, where Rule 32 applies, within the time limit under Rule 32.2(b).

BEST AVAILABLE COPY

The International Bureau of WIPO  
34, chemin des Colombettes  
1211 Geneva 20, Switzerland

Facsimile No.: (41-22) 740.14.35

Form PCT/I/B/331 (July 1992)

Authorized officer:

J. Zahra

Telephone No.: (41-22) 338.83.38

3260871

**THIS PAGE BLANK (USPTO)**

09/830127

## 特許協力条約

PCT

## 国際予備審査報告

REC'D 20 OCT 2000  
WIPO PCT(法第12条、法施行規則第56条)  
(PCT36条及びPCT規則70)

出願人又は代理人 の書類記号 219800594971	今後の手続きについては、国際予備審査報告の送付通知（様式PCT/IPEA/416）を参照すること。	
国際出願番号 PCT/JP99/05848	国際出願日 (日.月.年) 22.10.99	優先日 (日.月.年) 29.10.98
国際特許分類 (IPC) Int. Cl. H01L41/083		
出願人 (氏名又は名称) 株式会社日立製作所		

1. 国際予備審査機関が作成したこの国際予備審査報告を法施行規則第57条 (PCT36条) の規定に従い送付する。

2. この国際予備審査報告は、この表紙を含めて全部で 3 ページからなる。

この国際予備審査報告には、附属書類、つまり補正されて、この報告の基礎とされた及び／又はこの国際予備審査機関に対して訂正を含む明細書、請求の範囲及び／又は図面も添付されている。  
(PCT規則70.16及びPCT実施細則第607号参照)  
この附属書類は、全部で \_\_\_\_\_ ページである。

3. この国際予備審査報告は、次の内容を含む。

I  国際予備審査報告の基礎  
II  優先権  
III  新規性、進歩性又は産業上の利用可能性についての国際予備審査報告の不作成  
IV  発明の單一性の欠如  
V  PCT35条(2)に規定する新規性、進歩性又は産業上の利用可能性についての見解、それを裏付けるための文献及び説明  
VI  ある種の引用文献  
VII  国際出願の不備  
VIII  国際出願に対する意見

国際予備審査の請求書を受理した日 24.11.99	国際予備審査報告を作成した日 10.10.00
名称及びあて先 日本国特許庁 (IPEA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 小野田 誠 4M 8427 
電話番号 03-3581-1101 内線 3462	

**THIS PAGE BLANK (USPTO)**

## I. 国際予備審査報告の基礎

1. この国際予備審査報告は下記の出願書類に基づいて作成された。(法第6条(PCT14条)の規定に基づく命令に応答するために提出された差し替え用紙は、この報告書において「出願時」とし、本報告書には添付しない。PCT規則70.16, 70.17)

 出願時の国際出願書類

<input type="checkbox"/> 明細書	第 _____	ページ、	出願時に提出されたもの
明細書	第 _____	ページ、	国際予備審査の請求書と共に提出されたもの
明細書	第 _____	ページ、	付の書簡と共に提出されたもの
<input type="checkbox"/> 請求の範囲	第 _____	項、	出願時に提出されたもの
請求の範囲	第 _____	項、	PCT19条の規定に基づき補正されたもの
請求の範囲	第 _____	項、	国際予備審査の請求書と共に提出されたもの
請求の範囲	第 _____	項、	付の書簡と共に提出されたもの
<input type="checkbox"/> 図面	第 _____	ページ/図、	出願時に提出されたもの
図面	第 _____	ページ/図、	国際予備審査の請求書と共に提出されたもの
図面	第 _____	ページ/図、	付の書簡と共に提出されたもの
<input type="checkbox"/> 明細書の配列表の部分	第 _____	ページ、	出願時に提出されたもの
明細書の配列表の部分	第 _____	ページ、	国際予備審査の請求書と共に提出されたもの
明細書の配列表の部分	第 _____	ページ、	付の書簡と共に提出されたもの

2. 上記の出願書類の言語は、下記に示す場合を除くほか、この国際出願の言語である。

上記の書類は、下記の言語である \_\_\_\_\_ 語である。

- 国際調査のために提出されたPCT規則23.1(b)にいう翻訳文の言語
- PCT規則48.3(b)にいう国際公開の言語
- 国際予備審査のために提出されたPCT規則55.2または55.3にいう翻訳文の言語

3. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際予備審査報告を行った。

- この国際出願に含まれる書面による配列表
- この国際出願と共に提出されたフレキシブルディスクによる配列表
- 出願後に、この国際予備審査（または調査）機関に提出された書面による配列表
- 出願後に、この国際予備審査（または調査）機関に提出されたフレキシブルディスクによる配列表
- 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった
- 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記録した配列が同一である旨の陳述書の提出があった。

4. 補正により、下記の書類が削除された。

- 明細書 第 \_\_\_\_\_ ページ
- 請求の範囲 第 \_\_\_\_\_ 項
- 図面 図面の第 \_\_\_\_\_ ページ/図

5.  この国際予備審査報告は、補充欄に示したように、補正が出願時における開示の範囲を越えてされたものと認められるので、その補正がされなかったものとして作成した。(PCT規則70.2(c) この補正を含む差し替え用紙は上記1.における判断の際に考慮しなければならず、本報告に添付する。)

**THIS PAGE BLANK (USPTO)**

## V. 新規性、進歩性又は産業上の利用可能性についての法第12条（PCT35条(2)）に定める見解、それを裏付ける文献及び説明

## 1. 見解

新規性 (N)

請求の範囲 1-16

有

請求の範囲

無

進歩性 (I S)

請求の範囲 1-16

有

請求の範囲

無

産業上の利用可能性 (I A)

請求の範囲 1-16

有

請求の範囲

無

## 2. 文献及び説明 (PCT規則70.7)

見解書において提示した特開平7-170600号公報 (U.S. 5381385, A & E.P. 637469, A) に記載されたもの (図1) は、本願の請求項1に係る発明の特徴である「積層電子部品の1つの側面において2つの電極群の電気的接続がなされた構造」を有しておらず、本願の当該請求項に係る発明は、このような構造を採用することにより、製造プロセスが容易となり、かつ、積層電子部品の極小化を達成することが出来るという効果を有するものであり、このような構造は、当業者が容易に想到し得るものとはいえない。

**THIS PAGE BLANK (USPTO)**

6/8/98  
Translation

PATENT COOPERATION TREATY

09 / 8 3 0 1 2 7

PCT

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

(PCT Article 36 and Rule 70)

Applicant's or agent's file reference 219800594971	<b>FOR FURTHER ACTION</b> See Notification of Transmittal of International Preliminary Examination Report (Form PCT/IPEA/416)	
International application No. PCT/JP99/05848	International filing date (day/month/year) 22 October 1999 (22.10.99)	Priority date (day/month/year) 29 October 1998 (29.10.98)
International Patent Classification (IPC) or national classification and IPC H01L 41/083		
Applicant	HITACHI, LTD.	

1. This international preliminary examination report has been prepared by this International Preliminary Examining Authority and is transmitted to the applicant according to Article 36.

2. This REPORT consists of a total of 3 sheets, including this cover sheet.

This report is also accompanied by ANNEXES, i.e., sheets of the description, claims and/or drawings which have been amended and are the basis for this report and/or sheets containing rectifications made before this Authority (see Rule 70.16 and Section 607 of the Administrative Instructions under the PCT).

These annexes consist of a total of \_\_\_\_\_ sheets.

3. This report contains indications relating to the following items:

- I  Basis of the report
- II  Priority
- III  Non-establishment of opinion with regard to novelty, inventive step and industrial applicability
- IV  Lack of unity of invention
- V  Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement
- VI  Certain documents cited
- VII  Certain defects in the international application
- VIII  Certain observations on the international application

Date of submission of the demand 24 November 1999 (24.11.99)	Date of completion of this report 10 October 2000 (10.10.2000)
Name and mailing address of the IPEA/JP	Authorized officer
Facsimile No.	Telephone No.

**THIS PAGE BLANK (USPTO)**

## INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.

PCT/JP99/05848

## I. Basis of the report

## 1. With regard to the elements of the international application:\*

 the international application as originally filed the description:

pages \_\_\_\_\_, as originally filed

pages \_\_\_\_\_, filed with the demand

pages \_\_\_\_\_, filed with the letter of \_\_\_\_\_

 the claims:

pages \_\_\_\_\_, as originally filed

pages \_\_\_\_\_, as amended (together with any statement under Article 19)

pages \_\_\_\_\_, filed with the demand

pages \_\_\_\_\_, filed with the letter of \_\_\_\_\_

 the drawings:

pages \_\_\_\_\_, as originally filed

pages \_\_\_\_\_, filed with the demand

pages \_\_\_\_\_, filed with the letter of \_\_\_\_\_

 the sequence listing part of the description:

pages \_\_\_\_\_, as originally filed

pages \_\_\_\_\_, filed with the demand

pages \_\_\_\_\_, filed with the letter of \_\_\_\_\_

## 2. With regard to the language, all the elements marked above were available or furnished to this Authority in the language in which the international application was filed, unless otherwise indicated under this item.

These elements were available or furnished to this Authority in the following language \_\_\_\_\_ which is:

 the language of a translation furnished for the purposes of international search (under Rule 23.1(b)). the language of publication of the international application (under Rule 48.3(b)). the language of the translation furnished for the purposes of international preliminary examination (under Rule 55.2 and/or 55.3).

## 3. With regard to any nucleotide and/or amino acid sequence disclosed in the international application, the international preliminary examination was carried out on the basis of the sequence listing:

 contained in the international application in written form. filed together with the international application in computer readable form. furnished subsequently to this Authority in written form. furnished subsequently to this Authority in computer readable form. The statement that the subsequently furnished written sequence listing does not go beyond the disclosure in the international application as filed has been furnished. The statement that the information recorded in computer readable form is identical to the written sequence listing has been furnished.4.  The amendments have resulted in the cancellation of: the description, pages \_\_\_\_\_ the claims, Nos. \_\_\_\_\_ the drawings, sheets/fig \_\_\_\_\_5.  This report has been established as if (some of) the amendments had not been made, since they have been considered to go beyond the disclosure as filed, as indicated in the Supplemental Box (Rule 70.2(c)).\*\*

\* Replacement sheets which have been furnished to the receiving Office in response to an invitation under Article 14 are referred to in this report as "originally filed" and are not annexed to this report since they do not contain amendments (Rule 70.16 and 70.17).

\*\* Any replacement sheet containing such amendments must be referred to under item 1 and annexed to this report.

**THIS PAGE BLANK (USPTO)**

**INTERNATIONAL PRELIMINARY EXAMINATION REPORT**

International application No.

PCT/JP99/05848

**V. Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement****1. Statement**

Novelty (N)	Claims	1-16	YES
	Claims		NO
Inventive step (IS)	Claims	1-16	YES
	Claims		NO
Industrial applicability (IA)	Claims	1-16	YES
	Claims		NO

**2. Citations and explanations**

JP, 7-170600, A (Fig. 1 in US, 5381385, A &EP, 637469, A) cited in the written opinion does not have the distinctive feature of the invention described in claim 1, "a structure in which two electrode groups are electrically connected to one side of a multilayer electronic component," and by using this sort of structure the invention in accordance with this application's claim has the effect of simplifying the manufacturing process and making it possible to miniaturize a multilayer electronic component, and this sort of structure does not appear to be easy for a person skilled in the art to conceive.

**THIS PAGE BLANK (USPTO)**

## 特許協力条約

E P U S

PCT

9/8 30 127

## 国際調査報告

(法8条、法施行規則第40、41条)  
(PCT18条、PCT規則43、44)

出願人又は代理人 の書類記号 219800594971	今後の手続きについては、国際調査報告の送付通知様式(PCT/ISA/220) 及び下記5を参照すること。	
国際出願番号 PCT/JP99/05848	国際出願日 (日.月.年) 22.10.99	優先日 (日.月.年) 29.10.98
出願人(氏名又は名称) 株式会社日立製作所		

国際調査機関が作成したこの国際調査報告を法施行規則第41条(PCT18条)の規定に従い出願人に送付する。  
この写しは国際事務局にも送付される。

この国際調査報告は、全部で 3 ページである。

この調査報告に引用された先行技術文献の写しも添付されている。

## 1. 国際調査報告の基礎

a. 言語は、下記に示す場合を除くほか、この国際出願がされたものに基づき国際調査を行った。  
 この国際調査機関に提出された国際出願の翻訳文に基づき国際調査を行った。

b. この国際出願は、スクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際調査を行った。  
 この国際出願に含まれる書面による配列表

この国際出願と共に提出されたフレキシブルディスクによる配列表

出願後に、この国際調査機関に提出された書面による配列表

出願後に、この国際調査機関に提出されたフレキシブルディスクによる配列表

出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった。

書面による配列表に記載した配列とフレキシブルディスクによる配列表に記録した配列が同一である旨の陳述書の提出があった。

2.  請求の範囲の一部の調査ができない(第I欄参照)。

3.  発明の単一性が欠如している(第II欄参照)。

4. 発明の名称は  出願人が提出したものを承認する。

次に示すように国際調査機関が作成した。

5. 要約は  出願人が提出したものを承認する。

第III欄に示されているように、法施行規則第47条(PCT規則38.2(b))の規定により国際調査機関が作成した。出願人は、この国際調査報告の発送の日から1ヶ月以内にこの国際調査機関に意見を提出することができる。

## 6. 要約書とともに公表される図は、

第 8 図とする。  出願人が示したとおりである。

なし

出願人は図を示さなかった。

本図は発明の特徴を一層よく表している。

**THIS PAGE BLANK (USPTO)**

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl' H01L41/083

## B. 調査を行った分野

## 調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl' H01L41/08, H04R1/00-31/00

## 最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-1999年
日本国登録実用新案公報	1994-1999年
日本国実用新案登録公報	1996-1999年

## 国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

JOIS (JICST科学技術文献ファイル)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	U.S., 5381385, A (Hewlett-Packard Co) 10. 1月. 1995 (10. 01. 95) 全文, 図1-7	1
A	& J.P., 07-170600, A, 全文, 図1-7 & E.P., 637469, A	13-16
A	U.S., 5457863, A (General Electric Company) 17. 10月. 1995 (17. 10. 95) 全文, 図1-11 & J.P., 07-507721, A, 全文, 図1-11 & E.P., 641263, A	8-12

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
 「O」口頭による開示、使用、展示等に言及する文献  
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

## の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
 「&」同一パテントファミリー文献

## 国際調査を完了した日

18. 01. 00

## 国際調査報告の発送日

25.01.00

## 国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)  
郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

## 特許庁審査官 (権限のある職員)

小野田 誠

4M 8427

電話番号 03-3581-1101 内線 3462

**THIS PAGE BLANK (USPTO)**

C (続き) 関連すると認められる文献		関連する 請求の範囲の番号
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	
A	JP, 9-23030, A (沖電気工業株式会社) 21. 1月. 1997 (21. 01. 97) 全文, 図1-10 (ファミリーなし)	1-7
A	JP, 7-58373, A (プラザー工業株式会社) 3. 3月. 1995 (03. 03. 95) 全文, 図1-10 (ファミリーなし)	1-12
A	JP, 6-224483, A (プラザー工業株式会社) 12. 8月. 1994 (12. 08. 94) 全文, 図1-8 (ファミリーなし)	1-12

**THIS PAGE BLANK (USPTO)**

PCT

世界知的所有権機関  
国際事務局  
特許協定条約に基づいて公開された国出願



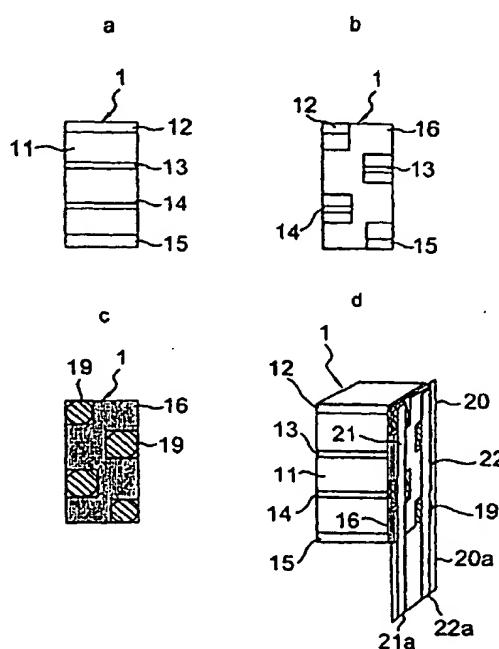
(51) 国際特許分類7 H01L 41/083	A1	(11) 国際公開番号 WO00/26971
		(43) 国際公開日 2000年5月11日(11.05.00)
(21) 国際出願番号 PCT/JP99/05848		佐野秀造(SANO, Shuzou)[JP/JP]
(22) 国際出願日 1999年10月22日(22.10.99)		泉美喜雄(IZUMI, Mikio)[JP/JP]
(30) 優先権データ 特願平10/308726 1998年10月29日(29.10.98) JP		大澤孝也(OHOSAWA, Takaya)[JP/JP]
(71) 出願人 (米国を除くすべての指定国について) 株式会社 日立製作所(HITACHI, LTD.)[JP/JP] 〒101-8010 東京都千代田区神田駿河台四丁目6番地 Tokyo, (JP)		押木光博(OSHIKI, Mitsuhiro)[JP/JP] 〒101-0047 東京都千代田区内神田一丁目1番14号 株式会社 日立メディコ内 Tokyo, (JP)
(74) 代理人 弁理士 作田康夫(SAKUTA, Yasuo) 〒100-8220 東京都千代田区丸の内一丁目5番1号 株式会社 日立製作所内 Tokyo, (JP)		
(71) 出願人 (米国を除くすべての指定国について) 株式会社 日立メディコ (HITACHI MEDICAL CORPORATION)[JP/JP] 〒101-0047 東京都千代田区内神田一丁目1番14号 Tokyo, (JP)		(74) 代理人 弁理士 作田康夫(SAKUTA, Yasuo) 〒100-8220 東京都千代田区丸の内一丁目5番1号 株式会社 日立製作所内 Tokyo, (JP)
(72) 発明者 ; および (75) 発明者／出願人 (米国についてのみ) 石原昌作(ISHIHARA, Shosaku)[JP/JP] 中村真人(NAKAMURA, Masato)[JP/JP] 黒木喬(KUROKI, Takashi)[JP/JP] 〒244-0817 神奈川県横浜市戸塚区吉田町292番地 株式会社 日立製作所 生産技術研究所内 Kanagawa, (JP)		(81) 指定国 AU, CA, CN, KR, SG, US, 欧州特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE)
		添付公開書類 国際調査報告書

(54) Title: MULTILAYER ELECTRONIC PART, ITS MANUFACTURING METHOD, TWO-DIMENSIONALLY ARRANGED ELEMENT PACKAGING STRUCTURE, AND ITS MANUFACTURING METHOD

(54) 発明の名称 積層電子部品およびその製造方法および2次元アレイ状の素子実装構造およびその製造方法

(57) Abstract

A two-dimensionally arrayed probe (device packaging structure) which comprises a multilayer device as a piezoelectric ceramic vibration device and of which only the multilayer device can be replaced separately if defective and repaired if its connection is defective. A multilayer electronic part which is suitable for realizing such a device packaging structure includes a multilayer chip device having a surface electrode, an internal electrode, and a back electrode, and a flexible board stuck on one side of the chip device. Every other electrodes, in the multilayer direction, of the chip device are electrically connected with each other through an electrode pattern of the flexible board to form two electrode groups. The ends of the electrode pattern of the flexible board are used as two external connection electrodes electrically connected with the two electrode groups.



圧電セラミック振動素子として積層型素子を用いることが可能で、かつ、素子単位で不良素子の交換および接続不良の修正が可能な、2次元アレイ状の探触子（素子実装構造）を提供するために、また、このような素子実装構造の実現のために好適な積層電子部品を提供するために、積層電子部品を、表面電極と内部電極と裏面電極とを有する積層型のチップ状素子と、このチップ状素子の1つの側面に貼着されるフレキシブル基板とによって構成し、チップ状素子の積層方向の1つおきの電極同士を、フレキシブル基板の電極パターンによって互いに電気的に接続して2つの電極群を形成し、この2つの電極群と電気的に接続された2つの外部接続用電極部として、フレキシブル基板の電極パターンの端部を用いた。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE アラブ首長国連邦	DM ドミニカ	KZ カザフスタン	RU ロシア
AL アルバニア	EE エストニア	LC セントルシア	SD スーダン
AM アルメニア	ES スペイン	LI リヒテンシュタイン	SE スウェーデン
AT オーストリア	FI フィンランド	LK スリ・ランカ	SG シンガポール
AU オーストラリア	FR フランス	LR リベリア	SI スロヴェニア
AZ アゼルバイジャン	GA ガボン	LS レント	SK スロ伐キア
BA ボスニア・ヘルツェゴビナ	GB 英国	LT リトアニア	SL シエラ・レオネ
BB バルバドス	GD グレナダ	LU ルクセンブルグ	SN セネガル
BE ベルギー	GE グルジア	LV フロヴィア	SZ スウェーデン
BF ブルキナ・ファン	GH ガーナ	MA モロッコ	TD チャード
BG ブルガリア	GM ガンビア	MC モナコ	TG チャゴ
BJ ベナン	GN ギニア	MD モルドヴァ	TJ タジキスタン
BR ブラジル	CW ギニア・ビサオ	MG マダガスカル	TZ タンザニア
BY ベラルーシ	GR ギリシャ	MK マケドニア旧ユーゴスラヴィア	TM トルクメニスタン
CA カナダ	HR クロアチア	共和国	TR トルコ
CF 中央アフリカ	HU ハンガリー	ML マリ	TT トリニダット・トバゴ
CG コンゴ	ID インドネシア	MN モンゴル	UA ウクライナ
CH スイス	IE アイルランド	MR モーリタニア	UG ウガンダ
CI コートジボアール	IL イスラエル	MW マラウイ	US 米国
CM カメルーン	IN インド	MX メキシコ	UZ ウズベキスタン
CN 中国	IS アイスランド	NE ニジエール	VN ヴィエトナム
CR コスタ・リカ	IT イタリア	NL オランダ	YU ユーゴースラビア
CU キューバ	JP 日本	NO ノルウェー	ZA 南アフリカ共和国
CY キプロス	KE ケニア	NZ ニュージーランド	ZW ジンバブエ
CZ チェコ	KG キルギスタン	PL ポーランド	
DE ドイツ	KP 北朝鮮	PT ポルトガル	
DK デンマーク	KR 韓国	RO ルーマニア	

## 明細書

積層電子部品およびその製造方法および2次元アレイ状の素子実装構造  
およびその製造方法

## 技術分野

5 本発明は、積層電子部品およびその製造方法および2次元アレイ状の素子実装構造およびその製造方法に係り、特に例えば、超音波探触装置の高性能化に好適である、2次元アレイ状に配置される多数の圧電セラミック振動素子（積層電子部品）をもつ探触子のための技術に関する。

## 10 技術背景

近年、圧電セラミック振動素子を用いた超音波送受装置が、各種用途に利用されるようになってきている。なかでも、医療機器においては、X線と比較し人体に不都合を与えることなく体内部を観察できる超音波診断法が広く普及している。この超音波診断法に用いられる超音波診断装置には、15 多数の圧電セラミック振動素子をもつ探触子が超音波送受波器として用いられており、この圧電セラミック振動素子からなる探触子としては、体内部を断層的に画像形成して診断するために、超小型の圧電セラミック振動素子を多数配置してなる走査型探触子が用いられている。

このような探触子構造のなかで、圧電セラミック振動素子を1次元に20 配設した探触子においては、素子が並ぶ方向で使用する素子数を選択することによって、焦点位置を探触子の近傍から遠くまで任意に設定できるが、これと直交する方向では焦点位置が固定となるため、焦点深度に相当する範囲以外では、クリアな断層像を得ることができない。

そこで、上記の欠点を解決するために、圧電セラミック振動素子を、25 1方向だけではなくこれと直交する方向にも配列した、2次元アレイ状

の探触子構造が開発され、かような探触子構造は、例えば、1996, IEEE ULTRASONICS SYMPOSIUM pp 152 3-1526に掲載されている。このような2次元探触子構造では、限られた面積内に、いかに圧電セラミック振動素子を小型化して、高密度に配列するかが、高性能化のキーポイントである。さらに、高密度に配列することと同時に、2次元アレイ状に配列された個々の圧電セラミック振動素子について、素子自身の不良が無くかつ電気的接続の不良がない、すなわち、探触子を構成する個々の圧電セラミック振動素子の不良がないことが重要である。

10 このような観点から、複数の素子からなるモジュールを単位として、2次元アレイ探触子を構成する手法が、1996 IEEE ULTRASONIC SYMPOSIUM pp 1573-1576に掲載されている。この公知文献には、0.22mm×0.22mmの素子を64×64(4096)個配置してなる探触子構造を、2列×64個の素子を1モジュールとして、組み合わせて構築する手法が開示されている。

しかしながら、上記した公知文献による従来のモジュール構造は、各々の圧電セラミック振動素子を駆動するために、フレキシブル配線基板と共に電極を素子面に接続する構成となっており、素子自身が独立した構造ではなくお互いに接着された構造となっている。したがって、モジュールを組み上げた段階で、モジュールを構成している素子のなかに不良素子及び接続不良があっても、素子単位での交換あるいは接続不良の修正を容易に行うことが出来ず、モジュール単位の歩留まりが悪いという問題があった。

また、従来のモジュール構造は、各々の圧電セラミック振動素子が単板(单層)の構成であることが前提であり、探触子の性能向上に必要な積層型の圧電セラミック振動素子への適用については、考慮されてはいなかった。

さらに、従来の積層型の圧電セラミック振動素子は、図15に示すように、素子の対向する2つの側面に形成した側面電極61によって、表面電極12、セラミックス11内の内部電極13'、裏面電極15の各電極が、積層方向の1つおき同士で互いに電気的に接続されるよう構成されるか、あるいは図16に示すように、スルーホール内に充填した導電材62によって、表面電極12、内部電極13'、裏面電極15の各電極が、積層方向の1つおき同士で互いに電気的に接続されるよう構成されていた。このため、製造プロセスが比較的に複雑なものとなると共に、素子の小型化にも自ずと限界を生じ、かつ、素子の2つの電極群を外部と接続するために、素子の2面を外部接続用の接続面とせざるを得ないため、素子交換および接続修正が困難なものとなつておつり、前記した探触子への適用には不向きなものとなつていた。

本発明は上記の点に鑑みなされたもので、その目的するところは、圧電セラミック振動素子として積層型素子を用いることが可能で、かつ、素子単位で不良素子の交換および接続不良の修正が可能な、2次元アレイ状の探触子（素子実装構造）を提供することにあり、また、このような素子実装構造の実現のために好適な圧電セラミック振動素子（積層電子部品）を提供することにある。

## 20 発明の開示

上記した目的を達成するために、本発明においては、例えば、積層電子部品を、表面電極と内部電極と裏面電極とを有する積層型のチップ状素子と、このチップ状素子の1つの側面に貼着されるフレキシブル基板とによって構成し、チップ状素子の積層方向の1つおきの電極同士を、フレキシブル基板の電極パターンによって互いに電気的に接続して2つの電極群を形成し、この2つの電極群と電気的に接続された2つの外部接続用電極部として、例えば、フレキシブル基板の電極パターンの端部

を用いるようにされる。そして、上記の積層電子部品を、縦横に複数個配列して一体化してなる2次元アレイ状のモジュールを形成し、このモジュールを必要な数だけ組み合わせて、超音波探触装置用の探触子を構築するようにされる。

5 上記のように、圧電セラミック振動素子として積層型のもの（上記の積層電子部品）を用いると、小型で高性能の探触子を得ることができる。また、個々の積層電子部品（圧電セラミック振動素子）に、それぞれ独立して2つの外部接続用電極部を設ける構成としているので、個々の積層電子部品（圧電セラミック振動素子）に対して、チップ状素子不良、  
10 および、外部との接続不良の検査が可能となり、不良積層電子部品の交換及び接続不良の修正が、圧電セラミック振動素子単位（積層電子部品単位）で容易に行えるようになる。その結果、モジュール不良はなくなり、高歩留まりでモジュールを製造することが可能となる。さらに、チップ状素子の1つの側面で、フレキシブル基板の電極パターンによって、  
15 チップ状素子の2つの電極群形成のための接続と、外部接続用電極部の形成とを行うようにしているので、製造プロセスが容易となり、かつ、積層電子部品（圧電セラミック振動素子）の極小化も達成できる。

#### 図面の簡単な説明

20 第1図は、本発明の第1実施形態に係る積層電子部品（圧電セラミック振動素子）を示す説明図である。

第2図は、本発明の第2実施形態に係る積層電子部品（圧電セラミック振動素子）を示す説明図である。

第3図は、本発明の第3実施形態に係る積層電子部品（圧電セラミック振動素子）を示す説明図である。

25 第4図は、本発明の第4実施形態に係る積層電子部品（圧電セラミック振動素子）を示す説明図である。

第5図は、本発明の第5実施形態に係る積層電子部品（圧電セラミック振動素子）を示す説明図である。

第6図は、本発明の第6実施形態に係る積層電子部品（圧電セラミック振動素子）を示す説明図である。

5 第7図は、本発明の実施形態による積層電子部品の製造方法、および、これを用いた2次元アレイ状の素子実装構造の製造方法の1例を示す説明図である。

第8図は、本発明の第7実施形態に係る積層電子部品（圧電セラミック振動素子）を示す説明図である。

10 第9図は、本発明の第8実施形態に係る積層電子部品（圧電セラミック振動素子）を示す説明図である。

第10図は、本発明の第9実施形態に係る積層電子部品（圧電セラミック振動素子）を示す説明図である。

15 第11図は、本発明の第10実施形態に係る積層電子部品（圧電セラミック振動素子）を示す説明図である。

第12図は、本発明の第11実施形態に係る単層タイプの電子部品（圧電セラミック振動素子）を示す説明図である。

第13図は、本発明の第12実施形態に係る単層タイプの電子部品（圧電セラミック振動素子）を示す説明図である。

20 第14図は、本発明の実施形態による積層電子部品の製造方法、および、これを用いた2次元アレイ状の素子実装構造の製造方法の他の1例を示す説明図である。

第15図は、従来の積層電子部品（圧電セラミック振動素子）の1例を示す説明図である。

25 第16図は、従来の積層電子部品（圧電セラミック振動素子）の他の1例を示す説明図である。

## 発明を実施するための最良の形態

以下、本発明の実施の形態を、図面を用いて説明する。

図1は、本発明の第1実施形態に係る積層電子部品（圧電セラミック振動素子）を示す図である。同図において、1は積層型のチップ状素子、5 11はセラミックス、12は表面電極、13は第1の内部電極、14は第2の内部電極、15は裏面電極、16は絶縁パターン、17は導体パターン、18は保護絶縁膜である。

本実施形態を含め本発明の各実施形態の積層タイプのチップ状素子1は、図1の(a)に示すように、内部電極13、14を挟んで多層にセ10 ラミックス11を積層し、表裏面に表面電極12と裏面電極15を形成した構成をとり、かつ、各電極の平面形状は、総べてセラミックス11の平面形状と等しく形成されたものとなっている。したがって、チップ状素子1の4つの側面において、表面電極12、第1の内部電極13、第2の内部電極14、裏面電極15のそれぞれ端面が、面一で露呈する15 ようになっている。

かのような基本構成をもつチップ状素子1において、本実施形態では、チップ状素子1の1つの側面において、図1の(b)に示すように、第1の内部電極13および第2の内部電極14がそれぞれ一部だけ露出するように、絶縁パターン16を形成した後、図1の(c)に示すように、各電極12～15の積層方向の1つおき同士を導体パターン17によって電気的に接続するようにしてある（ここでは、表面電極12と第2の内部電極14を接続し、第1の内部電極13と裏面電極15を接続してある）。そして、図1の(d)に示すように、各電極を所定の関係に接続したチップ状素子1の側面を、保護絶縁膜18によって覆って、積20 層電子部品として完成するようにしてある。なお本実施形態では、表面電極12および裏面電極15が、外部接続用の電極として機能するよう25 になっている。

このような構成をとる本実施形態の積層電子部品は、チップ状素子1の電極12～15の積層方向の1つおき同士が、チップ状素子1の1つの側面でそれぞれ接続されるので、各電極12～15の平面形状を比べて同一のものとすることができます、図15や図16に示した従来構造に比して、内部電極の形成および積層位置合わせが容易となり（製造プロセスが容易となり）、かつ、可及的な小型化が達成可能となる。

図2は、本発明の第2実施形態に係る積層電子部品を示す図であり、同図において、先の実施形態と均等なものには同一符号を付し、その説明は必要のある際を除いて割愛する（これは、以下の各実施形態においても同様である）。図2において、19はAgペースト、20はフレキシブル基板、21、22はフレキシブル基板上に形成した対をなす電極パターンである。

本実施形態では、図2の(a)に示す如く、先と同様の構成のチップ状素子1の1つの側面において、図2の(b)に示すように、各電極12～15におけるフレキシブル基板20との接続部位を除いて、絶縁パターン16を形成する。そして、図2の(c)に示すように、フレキシブル基板20の電極パターン21、22と、これに対応する各電極12～15の露呈部位とを、Agペースト19によって電気的に接続して、これによって、各電極12～15の積層方向の1つおき同士を電気的に接続するようにしてある（ここでは、表面電極12と第2の内部電極14をフレキシブル基板20の電極パターン21によって接続し、第1の内部電極13と裏面電極15をフレキシブル基板20の電極パターン22によって接続してある）。なお、図2の(c)は、図2の(b)に対して側面図の関係となっており、図2の(d)は、フレキシブル基板20のパターン形成面を示している。

このように、本実施形態では、チップ状素子1とフレキシブル基板20とによって積層電子部品を構成してあり、表面電極12および裏面電

極 15 が、外部接続用の電極として機能するようになっている。なお、チップ状素子 1 とフレキシブル基板 20 とを接続する上記の Ag ベースト 19 は、チップ状素子 1 側に形成してもよいし、フレキシブル基板 20 側に形成してもよい。

5 かのような構成をとる本実施形態においても、前記第 1 実施形態と同等の効果を奏する上、チップ状素子 1 の電極 12 ~ 15 の積層方向の 1 つおき同士の接続をフレキシブル基板 20 で行うので、この点でも製造工程が容易になる。

10 図 3 は、本発明の第 3 実施形態に係る積層電子部品を示す図であり、同図において、23 はフレキシブル基板 20 に形成した絶縁パターンである。

15 本実施形態が第 2 実施形態と相違するのは、第 2 実施形態においては、チップ状素子 1 側に、選択的接続を可能とするための絶縁パターン 16 を形成していたものを、本実施形態においては、フレキシブル基板 20 のパターン形成面側に、選択的接続を可能とするための絶縁パターン 23 を形成した点にあり、その他は第 2 実施形態と同様である。なお、図 3 の (b) は、図 3 の (a) に示したチップ状素子 1 の面が接続面とした場合に、図 3 の (a) に対して若干拡大した側面図の関係となっており、図 3 の (c) は、フレキシブル基板 20 のパターン形成面を示して 20 いる。

かのような構成をとる本実施形態においても、前記第 2 実施形態と同等の効果を奏する。

25 なお、上述した絶縁パターン、導体パターンの形成方法としては、ペーストをスクリーン印刷することでパターンを形成する厚膜法、あるいは、蒸着、スパッタ、エッチング等でパターンを形成する薄膜法のいずれの方法でもよい。

さらに、フレキシブル基板 20 の電極パターンと接続されるチップ状

素子 1 の電気的接続部は、チップ状素子 1 の電極露出部そのものであっても、あるいは、チップ状素子 1 の電極上に、厚膜または薄膜で形成した導体パターン部でもあってもよい。また、チップ状素子 1 の電極と接続されるフレキシブル基板 20 の電気的接続部は、フレキシブル基板 20 の電極パターンそのものであっても、あるいは、フレキシブル基板 20 の電極パターン上に、厚膜などで形成した導体パターン部でもあってもよい。

図 4 は、本発明の第 4 実施形態に係る積層電子部品を示す図であり、同図において、24 はチップ状素子 1 の電極露出部上に形成しためっき膜部、25 は接続用のハンダである。

本実施形態が第 3 実施形態と相違するのは、図 4 の (a) に示す如く、先と同様の構成のチップ状素子 1 の 1 つの側面において、図 4 の (b) に示すように、各電極 12 ~ 15 上にめっき膜部 24 を形成した点と、チップ状素子 1 とフレキシブル基板 20 との電気的接続に、図 4 の (c) に示すように、チップ状素子 1 側またはフレキシブル基板 20 に形成したハンダ 25 を用いた点にあり、その他は第 3 実施形態と同様である。なお、図 4 の (c) は、図 4 の (b) に対して若干拡大した側面図の関係となっており、図 4 の (d) は、フレキシブル基板 20 のパターン形成面を示している。

かような構成をとる本実施形態においても、前記第 2 実施形態と同等の効果を奏する。

図 5 は、本発明の第 5 実施形態に係る積層電子部品を示す図であり、同図において、26 は異方導電性フィルムである。

本実施形態が第 4 実施形態と相違するのは、図 5 の (a) に示す如く、チップ状素子 1 とフレキシブル基板 20 との電気的接続に、異方導電性フィルム 26 を用いた点にあり、その他は第 4 実施形態と同様である。なお、図 5 の (b) は、フレキシブル基板 20 のパターン形成面を示し

ている。

かのような構成をとる本実施形態においても、前記第2実施形態と同等の効果を奏する。

なお、チップ状素子1とフレキシブル基板20との電気的接続は、上述した手段以外にも、場合によっては、ワイヤボンディング、金属拡散接続等の接続方法も採用可能である。

図6は、本発明の第6実施形態に係る積層電子部品を示す図であり、同図において、27はフレキシブル基板20を貫通して形成された電極パッドである。

本実施形態が第4実施形態と相違するのは、図6の(c)、(d)に示すように、フレキシブル基板20のパターン形成面と反対側の面で露10出し、かつ、フレキシブル基板20の電極パターン21、22とそれぞれ接続された電極パッド27、27を、外部接続用の電極とした点にあり、その他は第4実施形態と同様である。

かのような構成をとる本実施形態においても、前記第2実施形態と同等の効果を奏し、さらに、本実施形態においては、外部接続用の対となつた電極を積層電子部品の1つの側面に集約できるので、積層電子部品の外部接続も容易になるという効果がある。

次に、上述したような積層電子部品の製造方法、および、これを用いた2次元アレイ状の素子実装構造の製造方法の1例についてを、図7を用いて説明する。図7は、図4に示した前記第4実施形態に相当する積層電子部品の製造方法と、この積層電子部品を用いた2次元アレイ状の素子実装構造の製造方法を示している。

まず、図7の(a)に示すような平板状のチップ状素子母材30から、図7の(b)に示すように、1チップ相当幅でバー状のサブ母材31を切り出す。次に、図7の(c)に示すように、切り出したサブ母材31の所定の長尺側面において露出した各電極12～15の端面上に、めつ

き膜部 24 を形成する。

一方、図 7 の (d) に示すように、対となる電極バターン 21、22 を多数形成してなるフレキシブル基板母材 32 には、選択的接続を可能とするための絶縁バターン 23 を形成した後、絶縁バターン 23 から露呈した電極バターン 21、22 の各部位に、接続用のハンダ 25 を形成しておく。

次に、図 7 の (e) に示すように、バー状のサブ母材 31 とフレキシブル基板母材 32 の接続面同士を、位置合わせして密着し、加熱処理することによって、サブ母材 31 とフレキシブル基板母材 32 の各接続箇所同士を電気的に接続する。然る後、サブ母材 31 とフレキシブル基板母材 32 との間の微小隙間 (10~数 10  $\mu\text{m}$  の隙間) に絶縁性の接着剤 (例えば、低粘度のウレタン樹脂系接着剤) を充填し、サブ母材 31 とフレキシブル基板母材 32 とを強固に機械的に接続する。

次に、図 7 の (f) に示すように、サブ母材 31 とフレキシブル基板母材 32 とを一体化した母材から、ダイサーによって、個々の積層電子部品 33 を切り出すことによって、積層電子部品 33 が完成される。

そして、上記した各工程を経て完成された積層電子部品 33 を検査して、図 7 の (g) に示すように、良品のみからなる積層電子部品 33 を、縦横に所定個数組み合わせて樹脂 34 で一体化することによって、2 次元アレイ状探触子のためのモジュール 35 が作製され、このモジュール 35 を多数個組み合わせることによって、2 次元アレイ状探触子が完成される。

このような、モジュール 35 を組み合わせて作製した 2 次元アレイ状探触子は、個々の積層電子部品が小型化できるので、全体として小型化が可能となる。しかし、各積層電子部品の外部接続には相当の工夫を必要とし、以下に述べるような、チップ状素子の側面に貼着されたフレキシブル基板の延長部に、1 対の外部接続用の電極を設けた構成の積層電

子部品（もしくは単層タイプの電子部品）の方が、外部接続が容易・確実で、有利である。

図8は、本発明の第7実施形態に係る積層電子部品を示す図であり、本実施形態は、図2に示した前記第2実施形態の発展例である。

5 本実施形態が第2実施形態と相違するのは、チップ状素子1の1つの側面に接続されたフレキシブル基板20に延長部20aを設けて、チップ状素子1の各電極12～15の積層方向の1つおき同士を電気的に接続するフレキシブル基板20の電極パターン21、22の端部を、外部接続用の電極部21a、22aとしたことにあり、その他は第2実施形  
10 態と同様である。

かような構成をとる本実施形態の積層電子部品は、チップ状素子1の電極12～15の積層方向の1つおき同士が、チップ状素子1の1つの側面でそれぞれ接続されるので、各電極12～15の平面形状を総べて同一のものとすることができます、図15や図16に示した従来構造に比して、内部電極の形成および積層位置合わせが容易となり（製造プロセスが容易となり）、かつ、可及的な小型化が達成可能となる。しかも、チップ状素子1の電極12～15の積層方向の1つおき同士の接続をフレキシブル基板20で行うので、この点でも製造工程が容易になる。さらに、フレキシブル基板20に延長部20aを設けて、この延長部20a  
15 上の電極パターン21、22の端部を、外部接続用の電極部21a、22aとして同一方向に導出しているので、積層電子部品の外部接続が容易・確実になり、多数個の積層電子部品を組み合わせてモジュールとした場合に、その接続性能の良さが遺憾なく発揮される。しかも、積層電子部品の接続不良も、個々に対して個別に容易に対処可能となり、交換  
20 もしくは補修を容易・確実に行うことができる。

図9は、本発明の第8実施形態に係る積層電子部品を示す図であり、本実施形態は、図3に示した前記第3実施形態の発展例である。本実施

形態が第3実施形態と相違するのは、フレキシブル基板20に延長部20aを設けて、延長部20a上の電極バターン21、22の部位を、外部接続用の電極部21a、22aとした点にあり、その他は第3実施形態と同様である。

5 かような構成をとる本実施形態においても、前記第7実施形態と同等の効果を奏する。

図10は、本発明の第9実施形態に係る積層電子部品を示す図であり、本実施形態は、図4に示した前記第4実施形態の発展例である。本実施形態が第4実施形態と相違するのは、フレキシブル基板20に延長部20aを設けて、延長部20a上のフレキシブル基板20電極バターン21、22の部位を、外部接続用の電極部21a、22aとした点にあり、その他は第4実施形態と同様である。

かような構成をとる本実施形態においても、前記第7実施形態と同等の効果を奏する。

15 図11は、本発明の第10実施形態に係る積層電子部品を示す図であり、本実施形態は、図5に示した前記第5実施形態の発展例である。本実施形態が第5実施形態と相違するのは、フレキシブル基板20に延長部20aを設けて、延長部20a上の電極バターン21、22の部位を、外部接続用の電極部21a、22aとした点にあり、その他は第4実施形態と同様である。

かような構成をとる本実施形態においても、前記第7実施形態と同等の効果を奏する。

上述してきた第1～第10実施形態では、セラミックスを多層に積層した積層電子部品の例を示した。次に、セラミックスを単層とした単板タイプの圧電セラミック振動素子への適用例について述べる。

図12は、本発明の第11実施形態に係る電子部品（圧電セラミック振動素子）を示す図である。同図において、41は単層（単板）型のチ

チップ状素子であり、単板のセラミックス 11 には、表面電極 12 と裏面電極 15 とが形成されている。チップ状素子 41 の 1 つの側面において、表面電極 12 と裏面電極 15 には選択的に、絶縁バターン 16 とめっき膜部 24 が形成されており、めっき膜部 24 をフレキシブル基板 20 の 5 対応する電極バターン 21、22 と、ハンド 25 によって電気的に接続してある。そして、フレキシブル基板 20 に延長部 20a を設けて、延長部 20a 上の電極バターン 21、22 部位を、外部接続用の電極部 21a、22a として機能させるようにしてある。

かのような構成をとる本実施形態においては、単層（単板）型の圧電セラミック振動素子であるので、積層型の圧電セラミック振動素子と較べて性能は劣るも、フレキシブル基板 20 に延長部 20a を設けて、この延長部 20a 上のフレキシブル基板 20 の電極バターン 21、22 の端部を、外部接続用の電極部 21a、22a として同一方向に導出しているので、積層電子部品の外部接続が容易・確実なものとなり、多数個の 15 積層電子部品を組み合わせてモジュールとした場合に、その接続性能の良さが遺憾なく発揮される。しかも、積層電子部品の接続不良も、個々に対して個別に容易に対処可能となり、交換もしくは補修を容易・確実に行うことができる。

図 13 は、本発明の第 12 実施形態に係る電子部品（圧電セラミック振動素子）を示す図であり、本実施形態が第 11 実施形態と異なるのは、第 11 実施形態では単層（単板）型のチップ状素子 41 側に絶縁バターン 16 を設けていたのに対し、フレキシブル基板 20 側に絶縁バターン 23 を形成した点にあり、その他は第 11 実施形態と同様である。

かのような構成をとる本実施形態においても、第 11 実施形態と同等の 25 効果を奏する。

ここで、前述した第 1～第 10 実施形態において示した積層電子部品（圧電セラミック振動素子）は、セラミックスの積層数が 3 層の場合を

例にとったが、本発明の積層電子部品におけるセラミックスの積層数は任意である。

また、前述した第2～第12実施形態において示した、チップ状素子とフレキシブル基板とによって積層電子部品または電子部品を構成する

5 場合においては、チップ状素子とフレキシブル基板との電気的接続には、先にも述べたように、ハンダ、熱可塑性ペースト、異方導電性シート等の任意の手段が採用可能であるが、チップ状素子とフレキシブル基板との間の微小隙間には、絶縁性の接着剤（例えば、低粘度のウレタン樹脂系接着剤）を充填しておくことが、機械的強度を確保する上で好ましい。

10 次に、上述したようなフレキシブル基板20に延長部20aに外部接続用の電極部21a、22aを設けた構成の積層電子部品の製造方法、および、これを用いた2次元アレイ状の素子実装構造の製造方法の1例についてを、図14を用いて説明する。

まず、図14の(a)に示すように、平板状のチップ状素子母材30の上下に、平板状の音響整合層45および平板状の音響減衰層46を固着して一体化してなるチップ状素子複合母材47を用意する。次に、図14の(b)に示すように、チップ状素子複合母材47から1チップ相当幅でバー状のサブ複合母材48を切り出す。

20 次に、図14の(c)に示すように、切り出したバー状のサブ複合母材48の所定の長尺側面において露出した各電極12～15の端面上に、まず、Niめっきを施し、このNiめっき表面にAuめっきを施すことによって、めっき膜部24を形成する。

一方、図14の(d)に示すように、対となる電極バターン21、22を多数形成してなるフレキシブル基板母材49には、選択的接続を可能とするための絶縁バターンを形成した後、絶縁バターンから露呈した電極バターン21、22の各部位に、接続用のハンダ25を形成しておくと共に、フレキシブル基板母材49の延長部49aに、対となる電極

パターン 21、22 とそれぞれ連なった外部接続用の電極部 21a、22a を形成しておく。そして、バー状のサブ複合母材 48 とフレキシブル基板母材 49 の接続面同士を、位置合わせして密着し、加熱処理することによって、サブ複合母材 48 とフレキシブル基板母材 49 の各接続箇所同士を電気的に接続する。然る後、サブ複合母材 48 とフレキシブル基板母材 49 との間の微小隙間 (10 ~ 数 10  $\mu\text{m}$  の隙間) に絶縁性の接着剤 (例えば、低粘度のウレタン樹脂系接着剤) を充填し、サブ複合母材 48 とフレキシブル基板母材 49 とを強固に機械的に接続する。

次に、図 7 の (e-1)、(e-2) に示すように、サブ複合母材 48 とフレキシブル基板母材 49 とを一体化した母材から、ダイサーによって、個々の積層電子部品 50 を切り出すことによって、音響整合層 45 および音響減衰層 46 付きの積層電子部品 (セラミック振動素子) 50 が完成される。

そして、上記した各工程を経て完成された積層電子部品 50 を検査して、図 14 の (f) に示すように、良品のみからなる積層電子部品 50 を、縦横に所定個数組み合わせて樹脂 51 で一体化することによって、2 次元アレイ状探触子のためのモジュール 52 が作製される。続いて、これらモジュール 52 の各積層電子部品 50 の 1 つの側面で電極を接続した構造とすること、および、接続部にハンダ、熱可塑性ペースト、異方導電性シート等を使用することによって、通常の LSI など半導体素子と同様に、素子単位で不良素子の交換及び接続不良の修正が容易に行える。

最後に、上記モジュール 52 の良品のみを多数個組み合わせることによって、2 次元アレイ状探触子が完成される。なお本例では、15 mm  $\times$  15 mm に 64  $\times$  64 個の積層電子部品 50 が並んだ 2 次元アレイ状探触子を、64 個の素子からなるモジュール 52 を 64 枚並べて作製した。

なお、図14に示した例では、積層圧電セラミック素子（積層電子部品）の場合について述べたが、図12、図13に示したような、単層の圧電セラミック素子（単層の電子部品）についても、同様の方法で2次元アレイ状探触子が作製できること言うまでもない。

5 また、音響整合層および音響減衰層の接着についても、特に図14の製造工程に限定されるものでなく、例えば、積層圧電セラミック素子（積層電子部品）をマトリックス状に整列させてから、積層圧電セラミック素子に音響整合層およびび音響減衰層を固着するようにしてもよい。

10 以上のように本発明によれば、圧電セラミック振動素子として積層型素子を用いることが可能で、かつ、素子単位で不良素子の交換および接続不良の修正が可能な、2次元アレイ状の探触子（素子実装構造）を実現でき、また、このような素子実装構造の実現のために好適な圧電セラミック振動素子（積層電子部品）を提供することができる。

## 15 産業上の利用可能性

以上に説明したように、本発明によれば、積層電子部品を、表面電極と内部電極と裏面電極とを有する積層型のチップ状素子と、このチップ状素子の1つの側面に貼着されるフレキシブル基板とによって構成し、チップ状素子の積層方向の1つおきの電極同士を、フレキシブル基板の20 電極パターンによって互いに電気的に接続して2つの電極群を形成し、この2つの電極群と電気的に接続された2つの外部接続用電極部として、フレキシブル基板の電極パターンの端部を用いたので、圧電セラミック振動素子として積層型素子を用いることが可能で、かつ、素子単位で不良素子の交換および接続不良の修正が可能な、2次元アレイ状の探触子（素子実装構造）を提供すること、また、このような素子実装構造の実現のために好適な積層電子部品を提供することに適している。

## 請求の範囲

1. 表面電極と内部電極と裏面電極とを有し、これらの電極の積層方向の1つおき同士が互いに電気的に接続されて2つの電極群を構成し、この2つの電極群と電気的に接続された2つの外部接続用電極部が設けられる積層電子部品であって、上記積層電子部品の1つの側面において、上記2つの電極群の電気的接続がなされた構造をとることを特徴とする積層電子部品。  
5
2. 請求項1記載において、前記積層電子部品は、チップ状素子と、このチップ状素子の1つの側面に貼着されたフレキシブル基板とによって構成され、上記フレキシブル基板の電極バターンによって、上記チップ状素子の積層方向の1つおき同士の電極をそれぞれ接続して、前記した2つの電極群を構成するようにしたことを特徴とする積層電子部品。  
10
3. 請求項2記載において、前記チップ状素子と前記フレキシブル基板との間の微小隙間に、絶縁性の接着剤を充填したことを特徴とする積層電子部品。  
15
4. 請求項2記載において、前記チップ状素子の1つの側面もしくはこの側面の延長上に、前記2つの外部接続用電極部を形成したことを特徴とする積層電子部品。
5. 請求項4記載において、前記2つの外部接続用電極部は、前記フレキシブル基板の1対の前記電極バターンの端部によって形成されることを特徴とする積層電子部品。  
20
6. 請求項2記載において、前記チップ状素子の前記各電極と前記フレキシブル基板の前記電極バターンとの接続は、厚膜導電ペーストまたはハンダまたは異方導電性シートによって行われることを特徴とする積層電子部品。  
25
7. 請求項2記載において、前記チップ状素子の積層方向において隣接する電極同士の導通を遮断するための絶縁バターンを、前記チップ状素

子または前記フレキシブル基板に形成したことを特徴とする積層電子部品。

8. 表面電極と内部電極と裏面電極とを有するチップ状素子と、このチップ状素子の1つの側面に貼着されるフレキシブル基板とによって構成され、上記チップ状素子の積層方向の1つおきの電極同士が、上記フレキシブル基板の電極パターンによって互いに電気的に接続されて2つの電極群を構成し、この2つの電極群と電気的に接続された2つの外部接続用電極部が、上記フレキシブル基板の電極パターンもしくは該電極パターンと接続された導電部によって形成された積層電子部品の製造方法  
10 であって、

上記チップ状素子の母材から、1チップ相当幅でバー状のサブ母材を切り出す工程と、上記バー状のサブ母材の長尺側面に、対となる電極パターンを多数形成してなるフレキシブル基板母材を接続・固着して、上記バー状のサブ母材の積層方向の1つおきの電極同士を、上記フレキシブル基板母材の各電極パターンで電気的に接続する工程と、上記バー状のサブ母材と上記フレキシブル基板母材とが一体化された部材から、個々の積層電子部品を切り出す工程とを、具備したことを特徴とする積層電子部品の製造方法。

9. 請求項8記載において、前記チップ状素子の母材の上下に、他の部材を貼着した状態で前記の製造工程を行うことを特徴とする積層電子部品の製造方法。

10. 請求項8記載において、前記バー状のサブ母材と前記フレキシブル基板母材とが一体化された部材の状態において、前記バー状のサブ母材と前記フレキシブル基板母材との間の微小隙間に、絶縁性の接着剤を充填することを特徴とする積層電子部品の製造方法。

11. 請求項8記載において、前記バー状のサブ母材の長尺側面側において露呈した前記各電極に、接続補助用のメッキを施すことを特徴とす

る積層電子部品の製造方法。

12. 請求項 8 記載において、前記フレキシブル基板に、前記バー状のサブ母材の積層方向において隣接する電極同士の導通を遮断するための、絶縁パターンを形成することを特徴とする積層電子部品の製造方法。

5 13. 少なくとも表面電極と裏面電極とを有するチップ状素子と、このチップ状素子の 1 つの側面に貼着されるフレキシブル基板とによって構成され、上記チップ状素子の表面電極および裏面電極が、上記フレキシブル基板の対応する電極パターンと電気的に接続され、上記表面電極、裏面電極と電気的に接続された 2 つの外部接続用電極部が、上記フレキシブル基板の電極パターンもしくは該電極パターンと接続された導電部によって形成された電子部品を、縦横に複数個配列して 2 次元アレイ状に一体化したモジュールとしたことを特徴とする 2 次元アレイ状の素子実装構造。

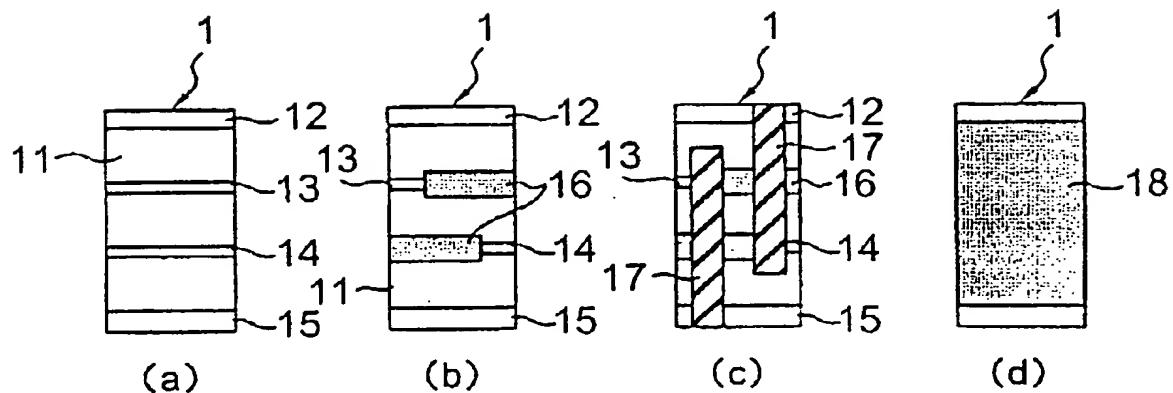
14. 請求項 13 記載において、前記チップ状素子の前記各電極と前記フレキシブル基板の前記電極パターンとの接続は、厚膜導電ペーストまたはハンダまたは異方導電性シートによって行われることを特徴とする 2 次元アレイ状の素子実装構造。

15 15. 請求項 13 記載において、前記チップ状素子は、表面電極および裏面電極のみを設けた単層構造の素子、または、表面電極と内部電極と裏面電極とを設けた積層構造の素子であることを特徴とする 2 次元アレイ状の素子実装構造。

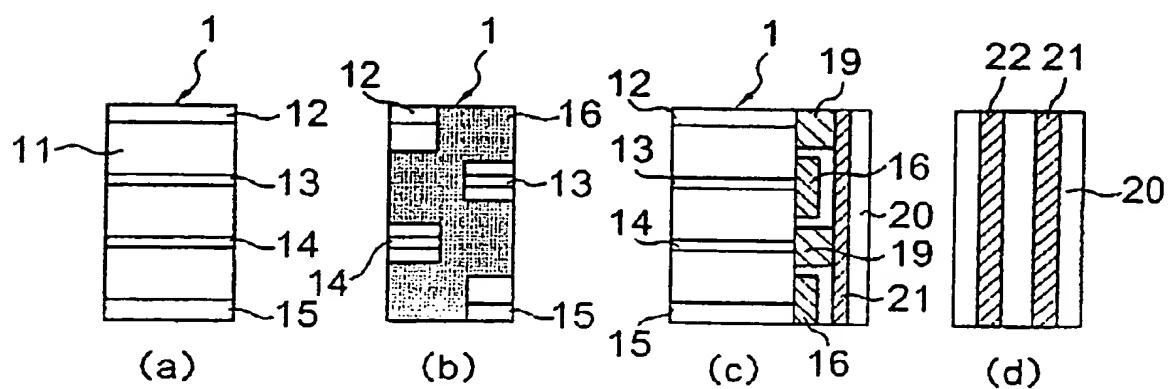
16. 請求項 1 乃至 7 の何れか 1 つに記載の積層電子部品、または、請求項 8 乃至 12 の何れか 1 つに記載の製造方法で作成された積層電子部品の良品のみを、縦横に複数個配列して一体化し、2 次元アレイ状のモジュールを得ることを特徴とする 2 次元アレイ状の素子実装構造の製造方法。

1 / 1 0

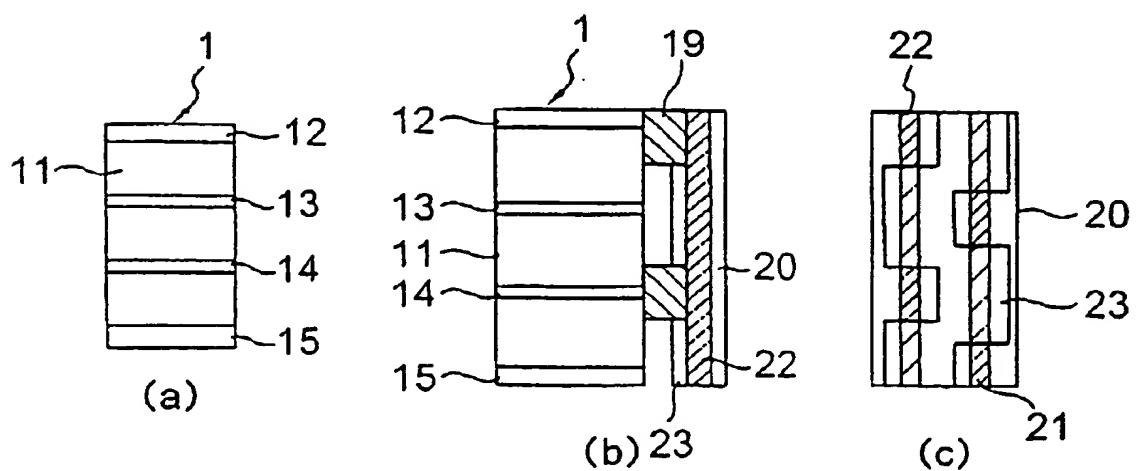
第1図



第2図



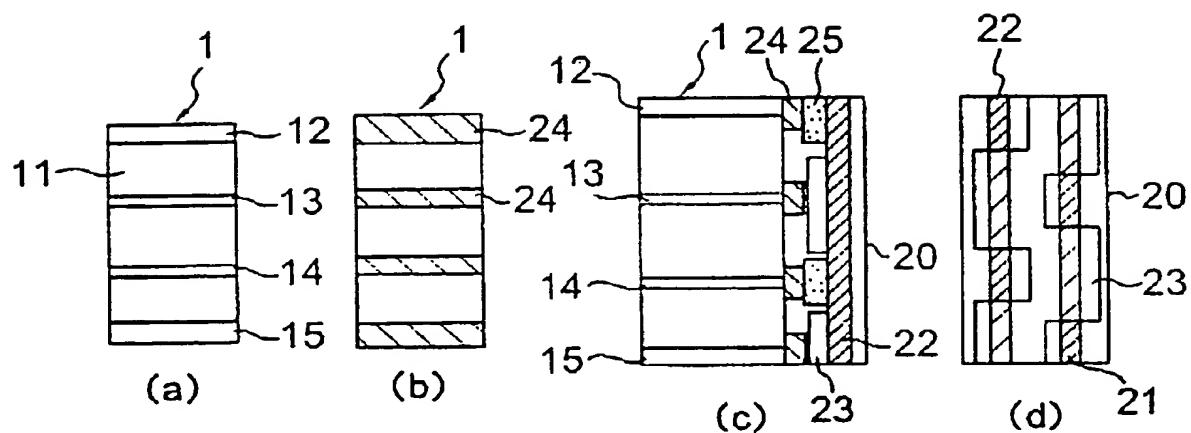
第3図



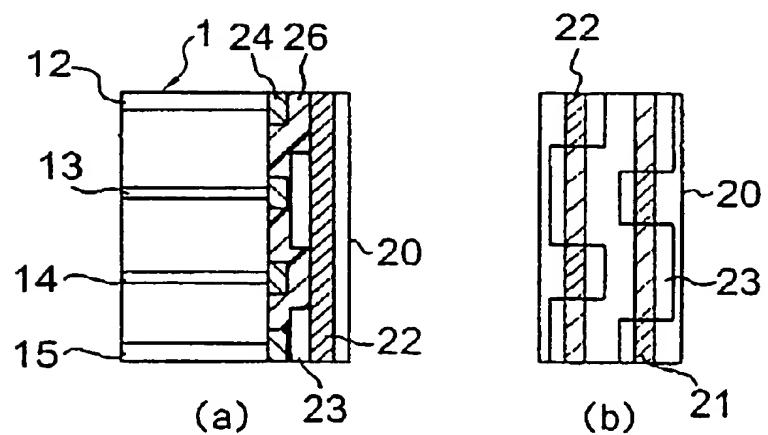
**THIS PAGE BLANK (USPTO)**

2 / 10

第4図



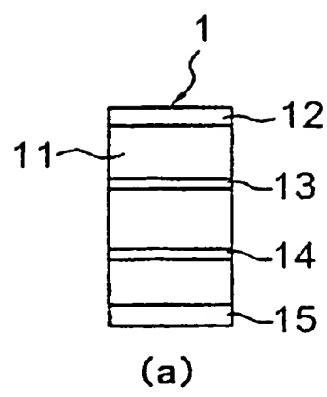
第5図



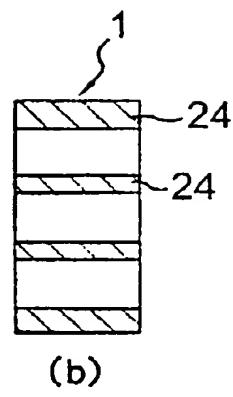
**THIS PAGE BLANK (USPTO)**

3 / 10

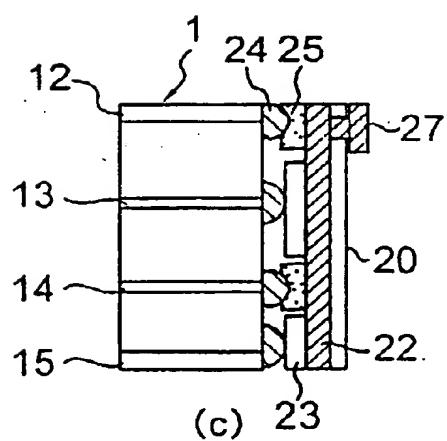
第6図



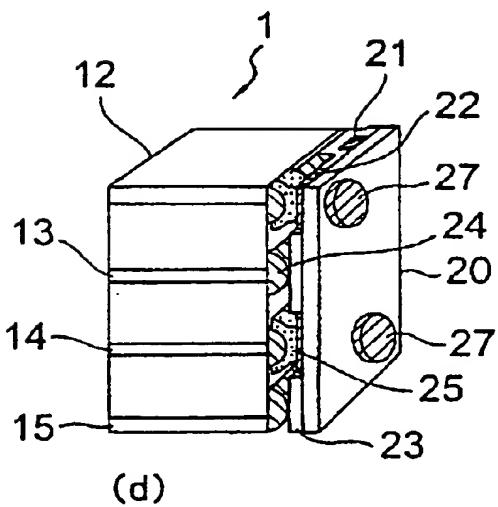
(a)



(b)



(c)

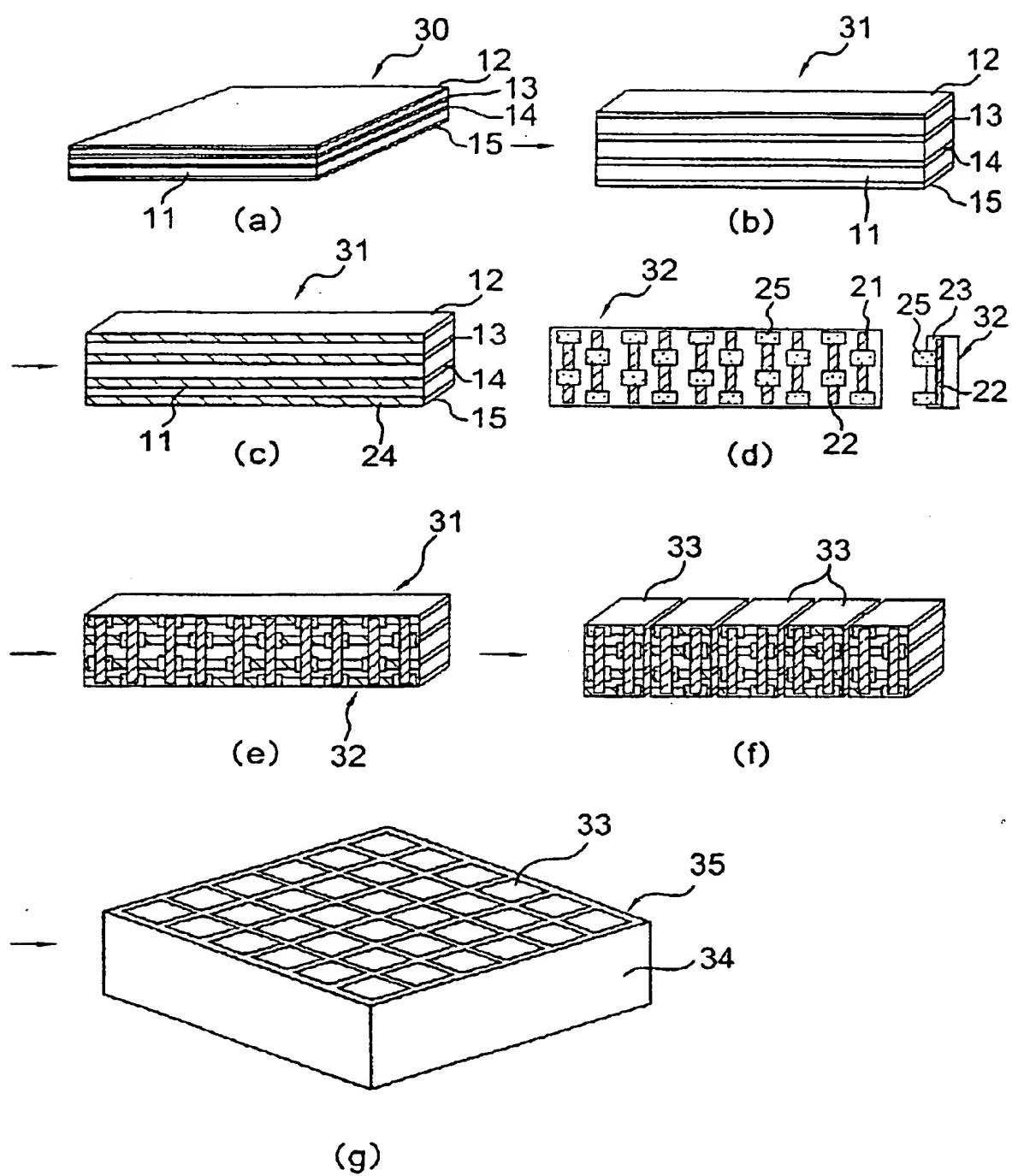


(d)

**THIS PAGE BLANK (USPTO)**

4 / 10

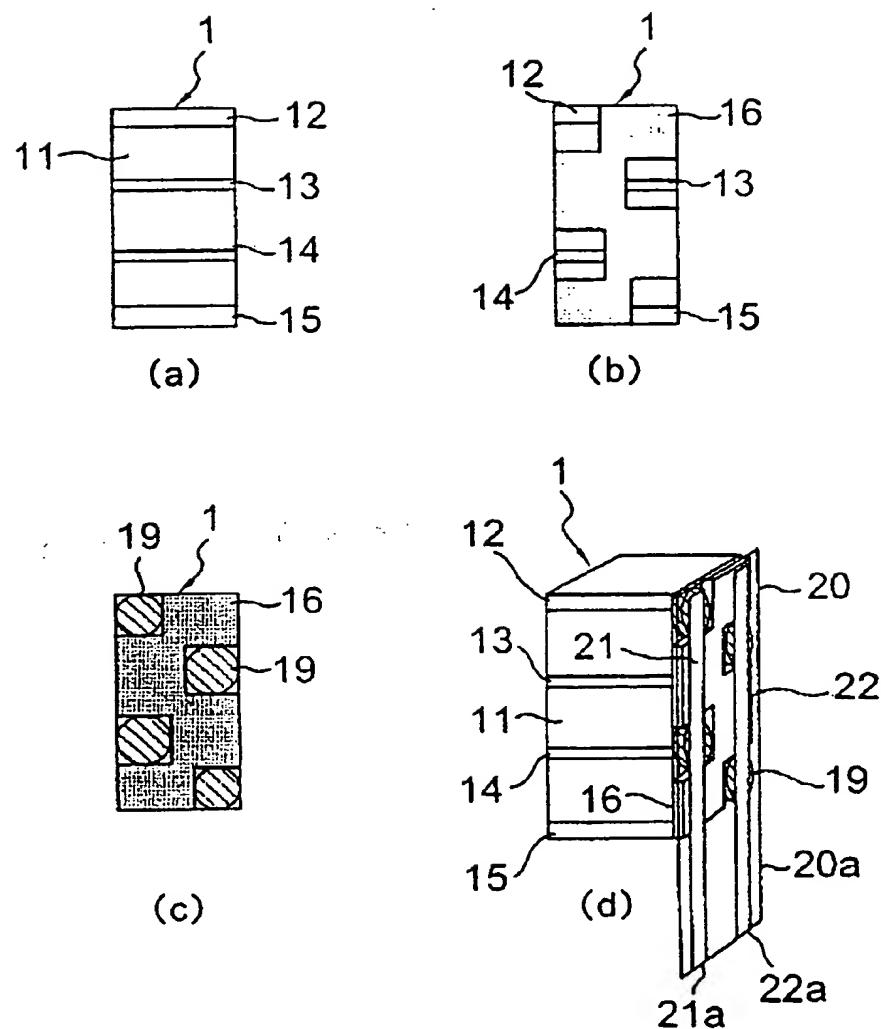
第7図



**THIS PAGE BLANK (USPTO)**

5 / 10

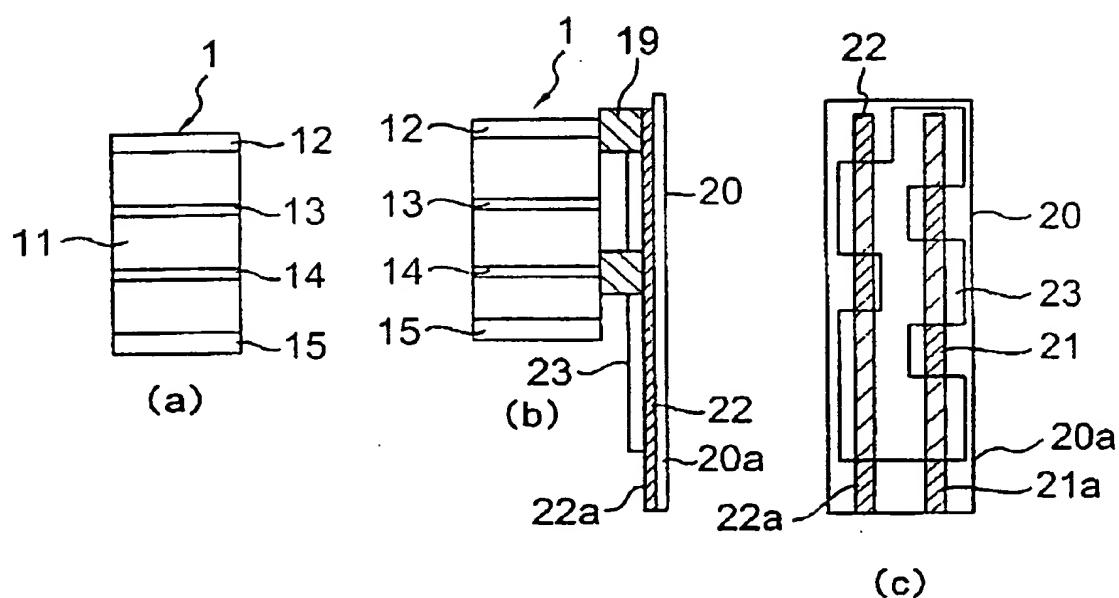
第8図



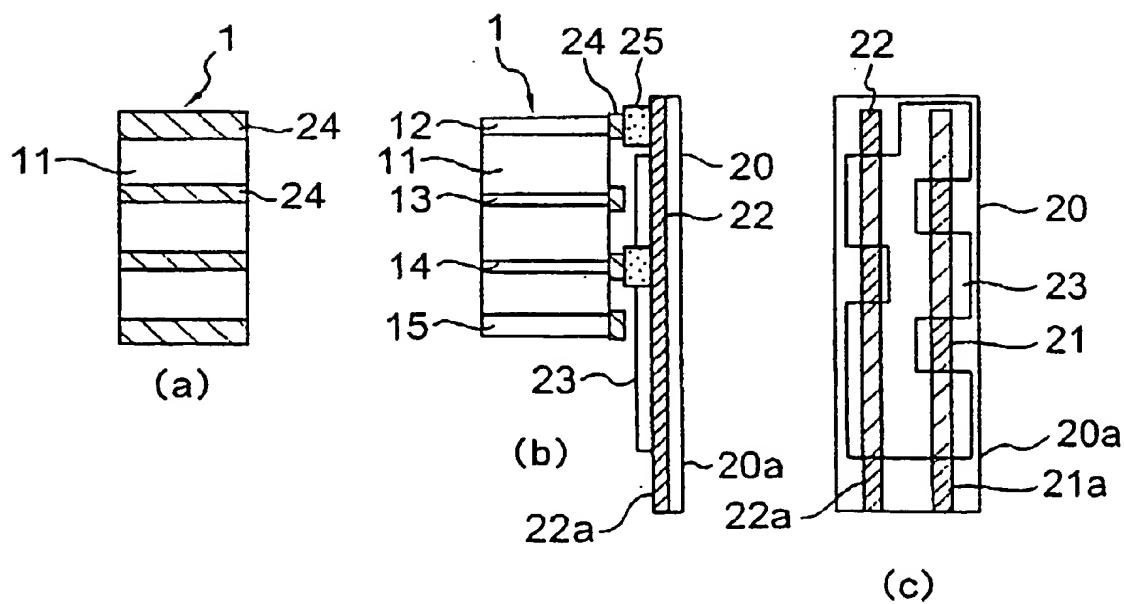
**THIS PAGE BLANK (USPTO)**

6 / 10

第9図



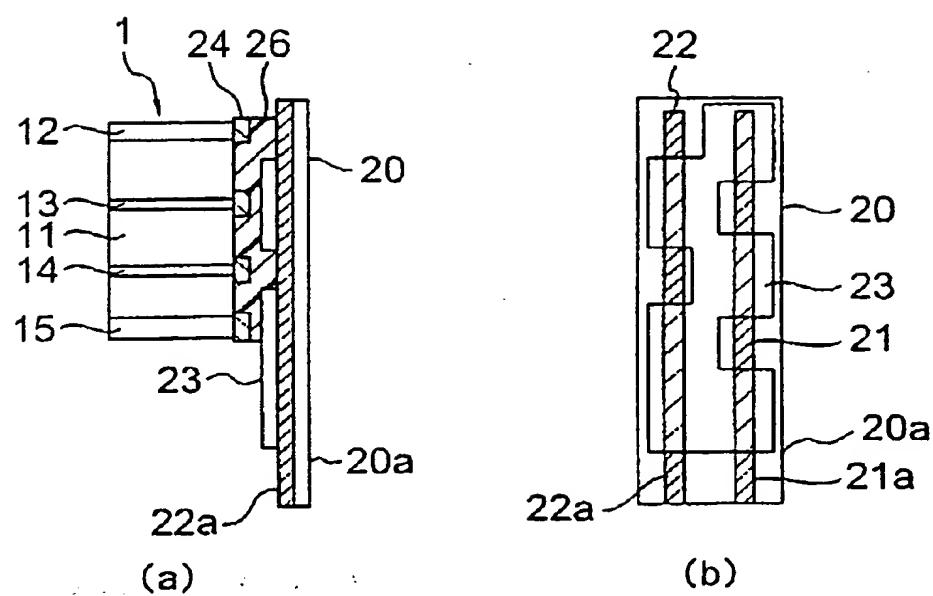
第10図



**THIS PAGE BLANK (USPTO)**

7 / 10

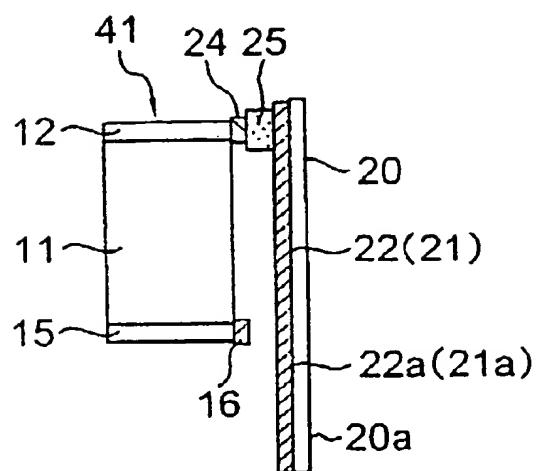
第11図



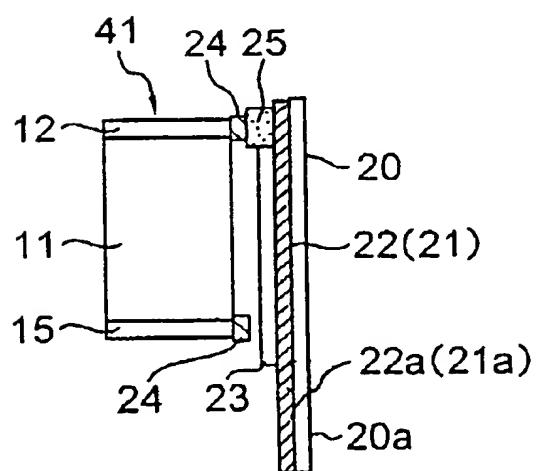
**THIS PAGE BLANK (USPTO)**

8 / 10

第12図



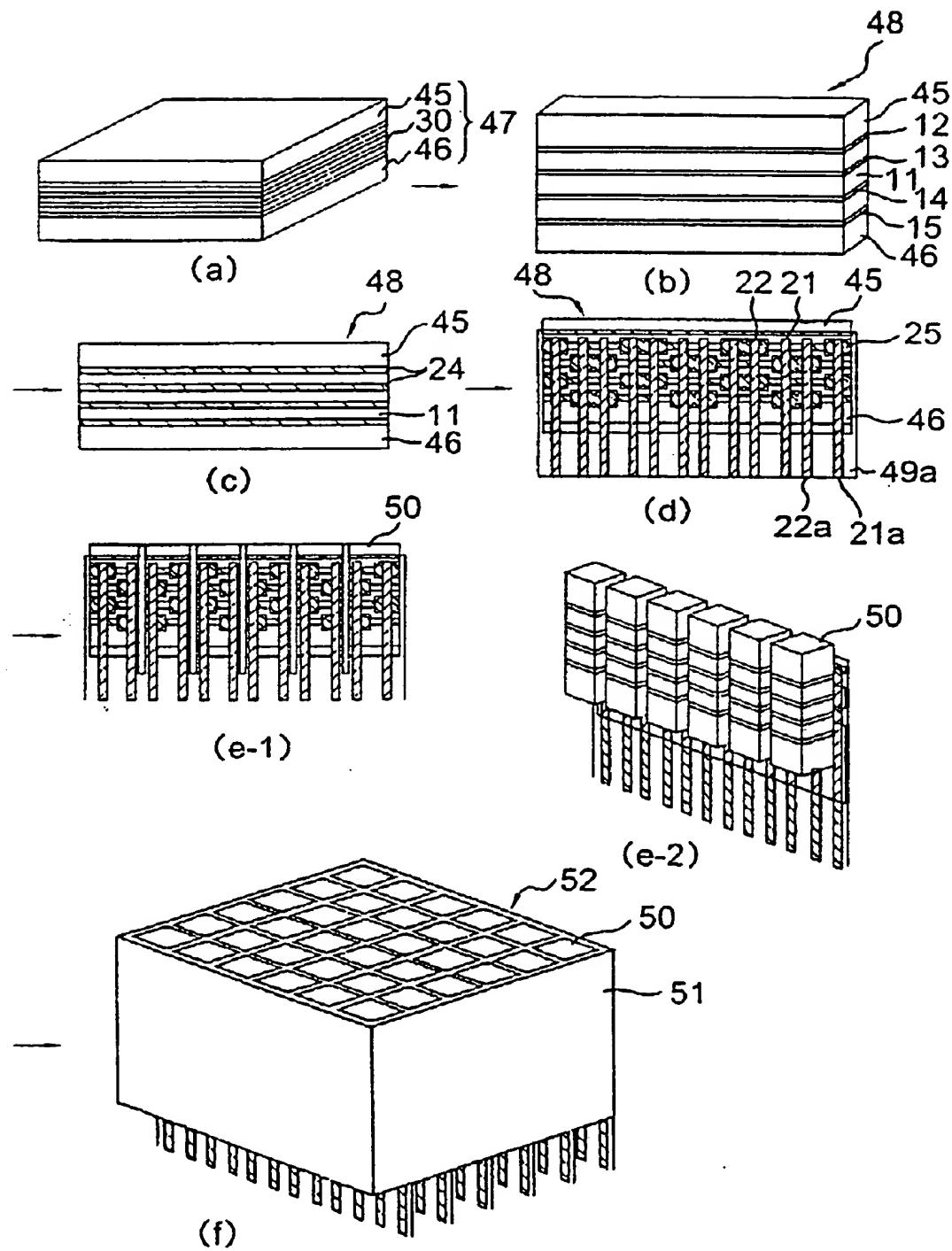
第13図



*THIS PAGE BLANK (USPTO)*

9 / 10

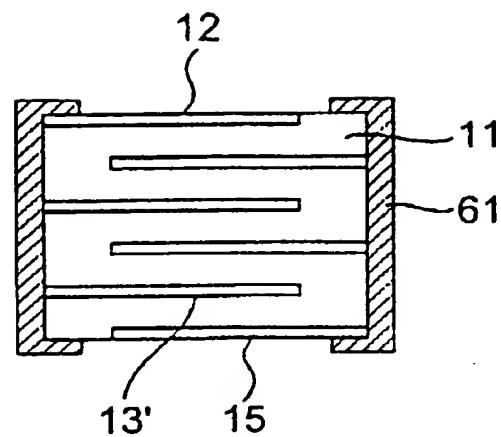
第14図



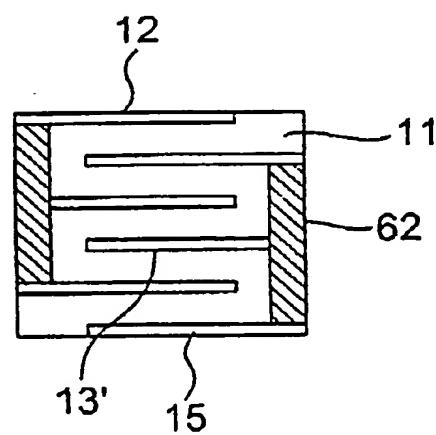
**THIS PAGE BLANK (USPTO)**

10 / 10

第15図



第16図



**THIS PAGE BLANK (USPTO)**

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP99/05848

A. CLASSIFICATION OF SUBJECT MATTER  
Int.Cl<sup>7</sup> H01L41/083

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> H01L41/08, H04R1/00-31/00Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-1999  
Kokai Jitsuyo Shinan Koho 1971-1999 Jitsuyo Shinan Toroku Koho 1996-1999Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)  
JOIS (JICST)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US, 5381385, A (Hewlett Packard Co.), 10 January, 1995 (10.01.95), Full text; Figs. 1 to 7	1
A	& JP, 07-170600, A Full text; Figs. 1 to 7 & EP, 637469, A	13-16
A	US, 5457863, A (General Electric Company), 17 October, 1995 (17.10.95), Full text; Figs. 1 to 11 & JP, 07-507721, A Full text; Figs. 1 to 11 & EP, 641263, A	8-12
A	JP, 9-23030, A (Oki Electric Industry Co., Ltd.), 21 January, 1997 (21.01.97), Full text; Figs. 1 to 10 (Family: none)	1-7
A	JP, 7-58373, A (BROTHER INDUSTRIES, LTD.), 03 March, 1995 (03.03.95), Full text; Figs. 1 to 10 (Family: none)	1-12

 Further documents are listed in the continuation of Box C.  See patent family annex.

- \* Special categories of cited documents:
- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

- "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
- "&" document member of the same patent family

Date of the actual completion of the international search  
18 January, 2000 (18.01.00)Date of mailing of the international search report  
25 January, 2000 (25.01.00)Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP99/05848

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 6-224483, A (BROTHER INDUSTRIES, LTD.), 12 August, 1994 (12.08.94), Full text; Figs. 1 to 8 (Family: none)	1-12

## A. 発明の属する分野の分類(国際特許分類(IPC))

Int. Cl' H01L41/083

## B. 調査を行った分野

調査を行った最小限資料(国際特許分類(IPC))

Int. Cl' H01L41/08, H04R1/00-31/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-1999年
日本国登録実用新案公報	1994-1999年
日本国実用新案登録公報	1996-1999年

国際調査で使用した電子データベース(データベースの名称、調査に使用した用語)

JOIS (JICST科学技術文献ファイル)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	U.S. 5381385, A (Hewlett-Packard Co) 10. 1月. 1995 (10. 01. 95) 全文, 図1-7	1
A	& J.P. 07-170600, A, 全文, 図1-7 & E.P. 637469, A	13-16
A	U.S. 5457863, A (General Electric Company) 17. 10月. 1995 (17. 10. 95) 全文, 図1-11 & J.P. 07-507721, A, 全文, 図1-11 & E.P. 641263, A	8-12

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献(理由を付す)  
 「O」口頭による開示、使用、展示等に言及する文献  
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

## の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
 「&」同一パテントファミリー文献

国際調査を完了した日

18. 01. 00

国際調査報告の発送日

25.01.00

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官(権限のある職員)

小野田 誠

4M 8427

印

電話番号 03-3581-1101 内線 3462

C (続き) 関連すると認められる文献		関連する 請求の範囲の番号
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	
A	JP, 9-23030, A (沖電気工業株式会社) 21. 1月. 1997 (21. 01. 97) 全文, 図1-10 (ファミリーなし)	1-7
A	JP, 7-58373, A (プラザー工業株式会社) 3. 3月. 1995 (03. 03. 95) 全文, 図1-10 (ファミリーなし)	1-12
A	JP, 6-224483, A (プラザー工業株式会社) 12. 8月. 1994 (12. 08. 94) 全文, 図1-8 (ファミリーなし)	1-12

09/220127

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP99/05848

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl' H01L41/083

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl' H01L41/08, H04R1/00-31/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-1999  
Kokai Jitsuyo Shinan Koho 1971-1999 Jitsuyo Shinan Toroku Koho 1996-1999Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)  
JOIS (JICST)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US, 5381385, A (Hewlett-Packard Co.), 10 January, 1995 (10.01.95), Full text; Figs. 1 to 7	1
A	& JP, 07-170600, A Full text; Figs. 1 to 7 & EP, 637469, A	13-16
A	US, 5457863, A (General Electric Company), 17 October, 1995 (17.10.95), Full text; Figs. 1 to 11 & JP, 07-507721, A Full text; Figs. 1 to 11 & EP, 641263, A	8-12
A	JP, 9-23030, A (Oki Electric Industry Co., Ltd.), 21 January, 1997 (21.01.97), Full text; Figs. 1 to 10 (Family: none)	1-7
A	JP, 7-58373, A (BROTHER INDUSTRIES, LTD.), 03 March, 1995 (03.03.95), Full text; Figs. 1 to 10 (Family: none)	1-12

 Further documents are listed in the continuation of Box C. See patent family annex.

"A" Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"B" earlier document but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"C" document which may throw doubt on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"D" document referring to an oral disclosure, use, exhibition or other means	"&" document member of the same patent family
"E" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search  
18 January, 2000 (18.01.00)Date of mailing of the international search report  
25 January, 2000 (25.01.00)Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

**THIS PAGE BLANK (USPTO)**

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP99/05848

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 6-224483, A (BROTHER INDUSTRIES, LTD.), 12 August, 1994 (12.08.94), Full text; Figs. 1 to 8 (Family: none)	1-12

**THIS PAGE BLANK (USPTO)**